

PAT-NO: JP359028344A

DOCUMENT-IDENTIFIER: JP 59028344 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 15, 1984

INVENTOR-INFORMATION:

NAME

IKEYAMA, KAZUTAKA

ASSIGNEE-INFORMATION:

NAME

NEC KYUSHU LTD

COUNTRY

N/A

APPL-NO: JP57139004

APPL-DATE: August 10, 1982

INT-CL (IPC): H01L021/306

US-CL-CURRENT: 257/E21.215, 438/978 , 438/FOR.492

ABSTRACT:

PURPOSE: To form the pattern surface into a gentle taper and eliminate the disconnection of a wiring provided thereon, by a method wherein when a polycrystalline Si film, which is formed on an insulating film provided on a semiconductor substrate, is patterned, diffusion or ion implantation is effected to an intermediate part of the thickness of the Si film, and the etching rate at the surface layer of the Si film is set to be high.

CONSTITUTION: An insulating film 2 is provided on a semiconductor substrate 1, and a polycrystalline Si film 3 is deposited on the film 2. Diffusion or ion implantation is effected to an intermediate part of the thickness of the

film 3 to form a polycrystalline Si film 5 different in film quality, i.e., high in etching rate. Then, a thin oxide film 6 is formed by oxidation on the surface of the film 5, and a photoresist film 7 is provided on the oxide film 6 in a predetermined pattern. Etching is effected to remove the exposed part of the film 6. With the remaining film 6 used as a mask, the different-quality film 5 and the film 3 thereunder are etched to obtain under the film 6 a laminate of the films 5 and 3 in which the film 5 on the film 3 is smaller in width than the film 3. The film 6 is removed, and an Al wiring 9 is deposited on the whole surface including the laminate through an insulating film 8.

COPYRIGHT: (C)1984,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—28344

⑬ Int. Cl.³
H 01 L 21/306

識別記号

庁内整理番号
Q 8223—5F

⑭ 公開 昭和59年(1984)2月15日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 半導体装置の製造方法

熊本市八幡町100番地九州日本
電気株式会社内

⑯ 特 願 昭57—139004

⑰ 出 願 人 九州日本電気株式会社

⑱ 出 願 昭57(1982)8月10日

熊本市八幡町100番地

⑲ 発 明 者 池山一孝

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上の絶縁膜上に成長された多結晶シリコン膜の上層部のエッチングレートが下層部に比して速くなる様に膜厚の途中まで不純物をイオン注入処理あるいは拡散処理し上層部と下層部で膜質の異なる多結晶シリコン膜を形成する工程とし、かかる後、多結晶シリコン膜表面を酸化処理し薄い酸化膜を形成し、フォトリソグラフィ工程を経て多結晶シリコン膜上に酸化膜パターンを形成する工程と、該酸化膜を保護膜として前記膜質の異なる多結晶シリコン膜の上層部を下層部より速くエッチング処理する様な工程とからなり、上記3つの工程の組合せにより加工された多結晶シリコン膜パターンがゆるい段差をもつ様に形成される事を特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

この発明は半導体装置の製造方法に係り、特に多結晶シリコン膜のパターン形成方法に関するものである。

従来、半導体基板上の絶縁膜上に成長された多結晶シリコン膜のパターン形成方法は、多結晶シリコン膜表面を酸化処理しフォトリソグラフィ工程を経て多結晶シリコン膜表面に酸化膜のパターンを形成し、該酸化膜パターンを保護膜としてエッチング処理するか、又はフォトリソグラフィ膜を残したままエッチング処理を行っていたが、双方共、エッチング液又はエッチングガスによる多結晶シリコン膜のエッチング処理は等方性にエッチング処理されるため、保護膜に覆われた側面方向からもエッチングされ、エッチング後の多結晶シリコン膜パターンは、該膜厚だけ側面方向へも進行し、エッチング加工されていたため、多結晶シリコン膜パターン形状は、非常に急峻な段差となっていた。この為、後工程において、例えばコンタクト孔を形成する場合、保護膜となるべきフォトリソ

ストが多結晶シリコン膜パターン段部のところで薄く形成されるためエッチング処理時に耐えられず、ピンホールが発生したり、各々トランジスタを結線し所望のトランジスタ回路を得るためにアルミニウム配線を形成する場合には、該多結晶シリコン膜パターンの段差の急峻な部分をアルミニウム配線が横切ると断線を生じたりして、半導体装置の歩留低下を招いていた。

この発明の目的は、上記問題点を解決し、半導体装置の歩留低下を誘発させない多結晶シリコン膜パターン形成方法を提供する事にある。

この発明の特徴は例えば、フォトレジスト膜あるいは酸化膜を保護膜として、半導体基板上の絶縁膜上に成長された多結晶シリコン膜を選択的に加工し所望の多結晶シリコン膜パターンを形成する半導体装置の製造方法において、半導体基板上の絶縁膜上に成長された多結晶シリコン膜の膜厚途中まで拡散処理あるいは注入処理し、膜質の異なる多結晶シリコン膜を形成する工程（下層部に比して上層部のエッチング速度が速くなる様に形

を塗布し（第2図）フォトエッチング工程を経て、多結晶シリコン膜5上に保護膜となるべき酸化膜6をパターンニングする（第3図）。次に該酸化膜6を保護膜としてエッチング処理するが、このとき前工程において、拡散処理あるいは注入処理4が施され多結晶シリコン膜上層膜5が多結晶シリコン膜下層膜3に比して、エッチング速度が速くなる様な膜質になっているため上層膜5が下層膜3より優勢的にエッチング処理される（第4図）。すなわち、半導体基板1の表面に絶縁膜2、多結晶シリコン膜3を順に付着させる。次に多結晶シリコン膜3表面に膜質の異なる多結晶シリコン膜5を形成するために拡散処理あるいは注入処理4を行ない、更に多結晶シリコン膜3、5の表面に該多結晶シリコン膜3、5を選択エッチングする際に保護膜となるべき酸化膜6、フォトレジスト膜7を順に形成しフォトエッチング工程を経て多結晶シリコン膜5表面に、酸化膜6をパターンニングする。しかる後、該酸化膜6を保護膜として、多結晶シリコン膜3、5をエッチング処理する場

成する工程）と、しかる後、多結晶シリコン膜表面を酸化処理し、薄い酸化膜を形成し、フォトエッチング工程を経て、多結晶シリコン膜表面に酸化膜パターンを形成する工程と該酸化膜を保護膜として、膜質の異なる多結晶シリコン膜を下層膜に比して上層膜を、優勢的にエッチング処理する工程とからなり、これ等3つの工程の組合せにより、多結晶シリコン膜パターンの形状が、ゆるいテーパー状に形成したことである。

次に、この発明の一実施例につき図を用いて説明する。

第1図～第5図は、この発明の一実施例を順に説明するための半導体装置の断面図である。この実施例の多結晶シリコン膜のパターン形成方法は、半導体基板1上の絶縁膜2上に成長された多結晶シリコン膜3の膜厚途中まで、拡散処理あるいは注入処理4を行ない膜質の異なる多結晶シリコン膜5を形成する工程（第1図）と、しかる後、多結晶シリコン膜5表面を酸化処理し薄い酸化膜6を形成し、該酸化膜6表面にフォトレジスト膜7

を塗布し、上層にある多結晶シリコン膜5が下層の多結晶シリコン膜3に比してエッチングレートが速い膜質になっているため、優勢的にエッチング処理され、結果として得られた多結晶シリコン膜3、5のパターン形状は、ゆるいテーパーを生じる様にエッチング加工されている。

この実施例によれば、半導体基板1上の絶縁膜2に付着する多結晶シリコン膜3、5のパターンが、ゆるいテーパーを生じる様な段を形成しているため、後工程において絶縁膜8を形成しコンタクト孔を開孔する場合、保護膜となるべきフォトレジスト膜が多結晶シリコン膜パターン段部で薄くなることのないのでエッチング処理中に耐えられずピンホールが発生すると云う問題が発生しにくくなる。又、この後、各々のトランジスタを結線し所望のトランジスタを得るために、アルミニウム薄膜9を形成し、フォトエッチング工程を経て、アルミニウム配線9をパターンニングした場合（第5図）、多結晶シリコン膜3、5上を横切るアルミニウム配線9の断線の問題も発生しにく

くなり、半導体装置の歩留・品質向上に大きく貢献できる。

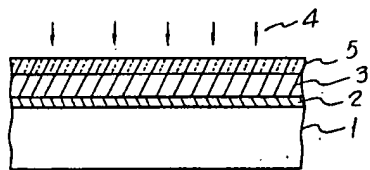
4. 図面の簡単な説明

第1図～第5図は本発明の一実施例を工程順に示した断面図である。

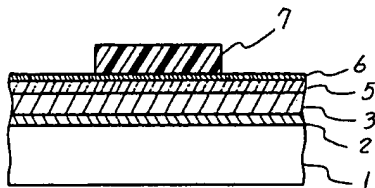
尚、図において、

1……半導体基板、2……酸化膜、3……多結晶シリコン膜、4……注入又は拡散処理、5……リンドープされた多結晶シリコン膜(3に比して速いエッチングレートの膜質を持つ)、6……酸化膜、7……フォトリソグレイの膜質を持つ)、8……酸化膜、9……アルミニウム薄膜(配線)、である。

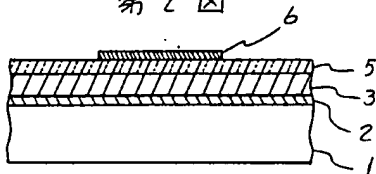
代理人 弁理士 内 原 晋



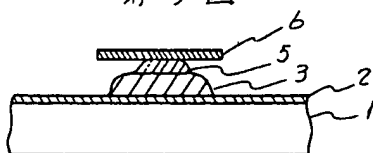
第1図



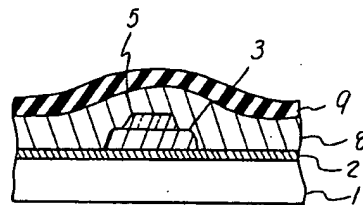
第2図



第3図



第4図



第5図